



MINISTERO DELL'INDUSTRIA, DEL COMMERCIO E DELL'ARTIGIANATO

DIREZIONE GENERALE DELLA PRODUZIONE INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI



#6/127
11/12/12
Sml

Autenticazione di copia di documenti relativi alla domanda di brevetto per Invenzione Industriale

N. TO99 A 001086

*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito*

RECEIVED
NOV - 8 2002
TECHNOLOGY CENTER 280C

R ma, li **15 GEN. 2001**

IL DIRETTORE DELLA DIVISIONE

DI CARLO

[Handwritten signature]

AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

MODULO A

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

marca
da
bollo

A. RICHIEDENTE (I)

STMICROELECTRONICS S.R.L.

N.º
SR

1) Denominazione AGRATE BRIANZA (MI) codice 00951900968

Residenza

2) Denominazione

Residenza

codice

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome BERGADANO Mirko e altri cod. fiscale

denominazione studio di appartenenza STUDIO TORTA S.r.l.

via Viotti n. 0009 città TORINO cap 10121 (prov) TO

C. DOMICILIO ELETTIVO destinatario

via n. città cap (prov)

D. TITOLO

classe proposta (sez./cl/scr)

gruppo/sottogruppo

RESISTORE VERTICALE INTEGRATO AD ALTA TENSIONE E RELATIVO PROCESSO DI
FABBRICAZIONE.

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO: SI ☐ NO ☐

SE ISTANZA: DATA N° PROTOCOLLO

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) PATTI Davide 3)

2) 4)

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
S/R

SCIoglimento RISERVE

Data

N° Protocollo

1)

2)

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICROORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

DOCUMENTAZIONE ALLEGATA

N.º es.

Doc. 1) 2 PROV n. pag. 26 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)

Doc. 2) 2 PROV n. tav. 04 disegno (obbligatorio se citato in descrizione, 1 esemplare)

Doc. 3) 1 RIS lettera d'incarico, procura o riferimento procura generale

Doc. 4) 1 RIS designazione inventore

Doc. 5) RIS documenti di priorità con traduzione in italiano

Doc. 6) RIS autorizzazione o atto di cessione

Doc. 7) RIS nominativo completo del richiedente

8) attestati di versamento, totale lire Cinquecentosessantacinquemila obbligatorio

COMPILATO IL 10/12/1999 FIRMA DEL (I) RICHIEDENTE (I)

CONTINUA SINO A

BERGADANO Mirko

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SINO A

UFFICIO PROVINCIALE IND. COMM. ART. DI

TORINO

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

099A 001086

L'anno milionovecento novantanove

il giorno dieci

del mese di

Dicembre

Il (I) richiedente (I) sopradenotato (I) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di tutti i fogli aggiuntivi per la concessione del brevetto sopraportato.

I. ANNOTAZIONI VARIE DELL'UFFICIO ROGANTE

IL DEPOSITANTE

STUDIO TORTA S.r.l.

Andrea PROVERI



Silvana Bosso

UFFICIO QUALIFICA E AUTENTICAZIONE

Libera Bosso

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE

NUMERO DOMANDA

NUMERO BREVETTO

REG. A
99A 001086

DATA DI DEPOSITO 10/12/1999

DATA DI RILASCIO

A. RICHIEDENTE (I)

Denominazione

STMICROELECTRONICS S.R.L.

Residenza

AGRATE BRIANZA (MI)

B. TITOLO

RESISTORE VERTICALE INTEGRATO AD ALTA TENSIONE E RELATIVO PROCESSO DI
FABBRICAZIONE.

Classe proposta (sez./cl./sc./)

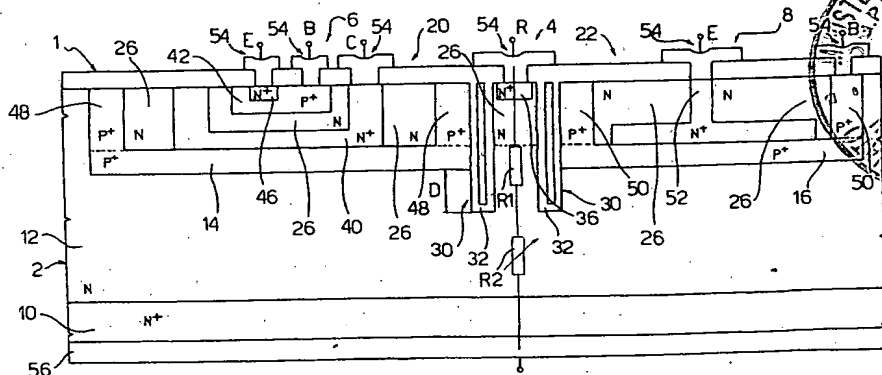
(gruppo/sottogruppo)

L. RIASSUNTO

Il processo di fabbricazione comprende le fasi di: crescere epitassialmente un primo strato (12) a partire da un substrato (10) di materiale semiconduttore; formare, nel primo strato (12), una prima ed una seconda regione sepolta (14, 16) spaziate fra loro ed aventi una conducibilità di tipo opposto a quella del primo strato (12); crescere epitassialmente, al di sopra del primo strato (12), un secondo strato (26) di materiale semiconduttore avente lo stesso tipo di conducibilità del primo strato (12); formare, nel secondo strato (26), una trincea (30) estendentesi in profondità oltre le regioni sepolte (14, 16), disposta fra le regioni sepolte (14, 16) stesse e presentante in pianta forma di cornice; formare uno strato di ossido (32) ricoprente le pareti laterali e la parete di fondo della trincea (30); e riempire la restante parte della trincea (30) con un materiale isolante (34). In questo modo, la porzione del secondo strato (26) circondata dalla trincea (30) definisce un primo resistore ad alta tensione (R1) avente una struttura ed un flusso di corrente verticali mentre la porzione del primo strato (12) posta al di sotto della trincea (30) definisce un secondo resistore ad alta tensione (R2) disposto in serie al primo resistore ad alta tensione (R1) ed avente anch'esso una struttura ed un flusso di corrente verticali.

M. DISEGNO

Fig.1



DESCRIZIONE

del brevetto per invenzione industriale

di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventore: PATTI Davide

099A 001086

*** *****

La presente invenzione è relativa ad un resistore verticale integrato ad alta tensione ed al relativo processo di fabbricazione.

La presente invenzione trova vantaggiosa, ma non esclusiva, applicazione nella realizzazione di resistori ad alta tensione integrati in un corpo di materiale semiconduttore insieme con dispositivi di potenza, cui la trattazione che segue farà riferimento senza per questo perdere in generalità.

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

Come è noto, i resistori ad alta tensione integrati su un substrato di materiale semiconduttore trovano larga applicazione nel campo dei dispositivi di potenza monolitici integrati, ad esempio dei dispositivi realizzati con la tecnologia VIPower, secondo la quale i dispositivi di potenza vengono integrati in una prima regione del chip cosiddetta di potenza mentre i relativi dispositivi di controllo in vengono integrati in una seconda regione dello stesso chip cosiddetta di controllo di-

stinta ed elettricamente isolata dalla regione di potenza.

In alcune applicazioni, inoltre, è anche necessario avere a disposizione, all'interno della regione di controllo, di una tensione di polarizzazione derivata dalla tensione di polarizzazione del substrato mediante una partizione realizzata utilizzando un resistore collegato fra il substrato e la regione di controllo stessi.

Affinché però tale resistore sia in grado di sopportare gli elevati valori (fino a 2 kV) che la tensione di polarizzazione del substrato come è noto può raggiungere, esso deve necessariamente presentare valori di resistenza piuttosto elevati che generalmente variano fra i 100 k Ω ed alcuni M Ω .

Una soluzione largamente utilizzata per fabbricare un resistore avente i valori di resistenza sopra menzionati prevede di realizzare sul substrato semiconduttore una regione drogata ad elevata resistività avente una conducibilità opposta a quella del substrato semiconduttore stesso ed una conformazione planare a serpentina.

Pur vantaggiosa sotto vari aspetti, questa soluzione presenta però l'inconveniente di richiedere un ingombro superficiale piuttosto elevato dovuto principalmente al fatto che per evitare malfunzionamenti del resistore la minima distanza che occorre mantenere fra due rami

BERGADANO MIRKO
(iscritto all' Albo n. 8438)

paralleli adiacenti del resistore a serpentina non può essere ridotta a piacere ma dipende dalla concentrazione di drogante presente nel substrato e dalla tensione presente ai capi del resistore stesso.

Come è noto, infatti, quando la giunzione formata dal substrato e dal resistore è polarizzata inversamente, l'ampiezza della regione di svuotamento o di carica spaziale che conseguentemente si estende nel substrato è inversamente proporzionale alla concentrazione di drogante nel substrato stesso, ovvero direttamente proporzionale alla resistività del substrato.

Conseguentemente, anche se il resistore ad alta tensione può essere integrato facendo ricorso agli strati più resistivi che la tecnologia mette a disposizione, i dispositivi realizzati nella tecnologia VIPower in grado di reggere elevate tensioni presentano necessariamente una elevata resistività del substrato, di vari ordini di grandezza più grande degli strati maggiormente resistivi disponibili con gli attuali processi tecnologici e quindi l'ampiezza della regione di svuotamento che si estende nel substrato arriva ad assumere dimensioni piuttosto rilevanti, dell'ordine delle decine di micron quando vengono applicate elevate differenze di potenziale.

Da quanto appena esposto risulta pertanto evidente

BERGADANO MIRKO
(iscritto all' Albo n. 843B)

che al fine di evitare che le regioni di svuotamento di due rami paralleli adiacenti del resistore a serpentina vengano in contatto e diano origine al noto fenomeno del "pinch-off", provocando così una alterazione del valore di resistenza del resistore e quindi della funzionalità della circuiteria a cui tale resistore è collegato, in fase di progetto è necessario distanziare ciascuna coppia di rami paralleli adiacenti del resistore a serpentina di un valore maggiore della somma delle massime larghezze delle regione di svuotamento che competono a ciascun ramo.

Per ridurre la regione di svuotamento presente fra i vari rami, una soluzione nota prevede di arricchire lo strato destinato all'integrazione del resistore. Questa soluzione, tuttavia, riduce la tenuta in tensione del dispositivo in quanto per poter ottenere la riduzione della regione di svuotamento voluta sarebbe necessario avere una concentrazione di drogante estremamente elevata.

Il summenzionato elevato ingombro superficiale del resistore a serpentina è secondariamente anche dovuto al fatto che la presenza di elevate tensioni sul resistore stesso richiede la realizzazione di cosiddette strutture di bordo in grado di proteggere da fenomeni di "break-down" prematuri le regioni del resistore più sollecitate

BERGADANO MIRKO
(iscritto all'Albo n. 8438)



alle alte tensioni. Vengono infatti a tale scopo realizzati, ad esempio, dei cosiddetti "field plate" metallici oppure regioni anulari ad elevata resistività (bassa concentrazione di drogante) circondanti il resistore a serpentina.

Un ulteriore effetto che concorre a rendere elevato l'ingombro superficiale del resistore del tipo sopra descritto è la sua interazione con le strutture di bordo dei dispositivi in cui è inserito e la conseguente costrizione a realizzare tale resistore in prossimità della regione terminale del dispositivo dalla quale si preleva l'alta tensione.

Per ridurre la regione di svuotamento presente fra i vari rami del resistore a serpentina, una soluzione proposta ultimamente ed oggetto della domanda di brevetto europeo 98830638.7 depositata in data 23.10.1998 dalla stessa richiedente, prevede di realizzare il resistore a serpentina utilizzando uno strato di materiale semiconduttore ad alta resistività avente una conduttività opposta a quella del substrato e di realizzare, fra ciascuna coppia di rami paralleli adiacenti del resistore a serpentina stesso, una o più trincee di isolamento, ad esempio realizzate di biossido di silicio, estendentesi in profondità nel substrato maggiormente rispetto allo strato di materiale semiconduttore con cui il resistore

BERGADANO MIRKO
[iscritto all' Albo n. 8438]

a serpentina è realizzato di una quantità sufficiente da impedire che il fenomeno del "pinch-off" si verifichi.

Anche questa soluzione, tuttavia, prevede che l'ubicazione del resistore a serpentina sia vicino alla regione terminale del dispositivo dalla quale si preleva l'alta tensione e conseguentemente la riduzione dell'ingombro superficiale è relativamente piccola e comunque continua ad esistere sempre l'inconveniente dovuto alla interazione del resistore con le strutture di bordo del dispositivo in cui tale resistore è realizzato.

Scopo della presente invenzione è quello di realizzare un resistore ad alta tensione ed un relativo processo di fabbricazione che consentano di superare gli inconvenienti sopra descritti.

Secondo la presente invenzione viene realizzato un dispositivo integrato comprendente un resistore ad alta tensione, come definito nella rivendicazione 1.

Secondo la presente invenzione viene inoltre realizzato un processo di fabbricazione di un dispositivo integrato comprendente un resistore ad alta tensione, come definito nelle rivendicazioni 8 e 17.

Per una migliore comprensione della presente invenzione vengono ora descritte alcune forme di realizzazione preferite, a puro titolo di esempio non limitativo e

BERGADANO MIRKO
(iscritto all' Albo n. 8438)

con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra una sezione trasversale schematica di un corpo di materiale semiconduttore in cui è realizzato un resistore verticale ad alta tensione secondo una prima forma realizzativa della presente invenzione;

- la figura 2 è una vista schematica in pianta del corpo di materiale semiconduttore di figura 1;

- la figura 3 mostra una sezione trasversale schematica di un corpo di materiale semiconduttore in cui è realizzato un resistore verticale ad alta tensione secondo una seconda forma realizzativa della presente invenzione;

- la figura 4 mostra una sezione trasversale schematica di un corpo di materiale semiconduttore in cui è realizzato un resistore verticale ad alta tensione secondo una terza forma realizzativa della presente invenzione; e

- la figura 5 mostra una sezione trasversale schematica di un corpo di materiale semiconduttore in cui è realizzato un resistore verticale ad alta tensione secondo una quarta forma realizzativa della presente invenzione.

Nelle figure 1 e 2 è indicato nel suo insieme con 1, un dispositivo integrato in un corpo di materiale se-

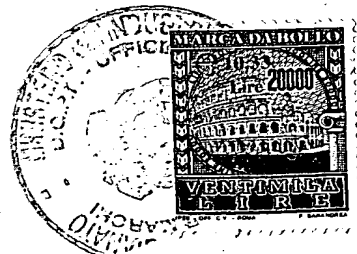
BERGADANO MIRKO
(iscritto all' Albo n. 843B)

miconduttore 2 e comprendente un resistore 4 secondo una prima forma realizzativa della presente invenzione e, a puro titolo di esempio non limitativo, un transistor di controllo 6 a struttura orizzontale ed un transistor di potenza 8 a struttura verticale.

In particolare, per la fabbricazione del resistore 4, del transistor di controllo 6 e del transistor di potenza 8, su un substrato 10 di silicio monocristallino ad elevata concentrazione di impurità droganti di tipo N^+ viene inizialmente accresciuto un primo strato epitassiale 12 avente uno spessore ed una concentrazione di impurità scelti in funzione della massima tensione che il resistore 4 deve essere in grado di reggere; tipicamente, la concentrazione delle impurità presenti nello strato epitassiale 12 varia fra 10^{13} e 10^{14} atomi/cm³, mentre lo spessore dello strato epitassiale 12 è generalmente compreso fra 60 e 120 μm .

Sul primo strato epitassiale 12 vengono quindi realizzate, mediante impiantazione ionica e successivo processo di diffusione, una prima ed una seconda regione sepolta 14, 16 di tipo P^+ . In particolare, la prima regione sepolta 14 è realizzata in una zona di controllo 20 del corpo di materiale semiconduttore 2 nella quale viene fabbricato il transistor di controllo 6, mentre la seconda regione sepolta 16 è realizzata in una zona

BERGADANO MIRKO
(iscritto all'Albo n. 8438)



di potenza 22 del corpo di materiale semiconduttore 2 nella quale viene fabbricato il transistor di potenza 8.

La zona di potenza 22 è spaziata dalla zona di controllo 20 e delimita, congiuntamente alla zona di controllo 20 stessa, una zona intermedia 24, la quale risulta così interposta fra la zona di controllo 20 e la zona di potenza 22 e nella quale viene realizzato il resistore 4 secondo la presente invenzione.

Sulle zone di controllo 20, di potenza 22 e intermedia 24 viene poi cresciuto un secondo strato epitassiale 26 di tipo N avente uno spessore compreso fra 2 e 10 μm .

Nel secondo strato epitassiale 26, in corrispondenza della zona intermedia 24, viene quindi realizzata, con tecniche di fotolitografia ed attacchi chimici selettivi noti, ad esempio la nota tecnica di attacco in plasma, una trincea 30 estendentesi in profondità oltre le regioni sepolte 14, 16, presentante in pianta una forma anulare chiusa, nella fattispecie mostrata nella figura 2 una forma di cornice rettangolare ed avente ad esempio dimensioni di 1-3 μm di larghezza e 10-100 μm di profondità.

Viene quindi effettuata una fase di ossidazione per formare uno strato di ossido 32 ricoprente le pareti la-

BERGADANO MIRKO
(iscritto all' Albo n. 843B)

terali e la parete di fondo della trincea 30 ed avente uno spessore che è funzione delle prestazioni elettriche richieste al dispositivo integrato 1, ad esempio compreso fra 200 e 500 nm.

Dopodiché, la trincea 30 viene completamente riempita con un materiale riempitivo 34 isolante. Alternativamente, la fase di ossidazione potrebbe anche avere una durata tale da formare uno strato di ossido riempiente completamente la trincea 30.

In corrispondenza della superficie superiore della porzione del secondo strato epitassiale 26 circondata dalla trincea 30 viene poi realizzata, mediante impiantazione ionica, una regione 36 di tipo N^+ a bassa resistività che serve per realizzare un contatto a bassa resistività del resistore 4.

La trincea 30 così formata risulta disposta fra la zona di controllo 20 e la zona di potenza 22 e circonda porzioni del primo e del secondo strato epitassiale 12, 26, le quali definiscono il resistore 4 secondo la presente invenzione.

In particolare, il resistore 4 secondo la presente invenzione presenta una struttura ed un flusso di corrente totalmente verticali, una resistenza che è funzione del volume di materiale semiconduttore circondato dalla trincea 30, ed un comportamento elettrico che è

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

funzione della profondità della trincea 30 stessa, più in particolare funzione della distanza D esistente fra la parete di fondo della trincea 30 e le giunzioni PN che le regioni sepolte 14, 16 definiscono con il primo strato epitassiale 12.

In particolare, il comportamento elettrico del resistore 4 è controllabile durante la formazione della trincea 30 utilizzando un fenomeno fisico noto associato alla tecnica di attacco in plasma e finora considerato peraltro un "difetto" degli attacchi in plasma, il quale permette di realizzare trincee nel silicio a diversa profondità variando solo l'area di silicio da rimuovere. Per dare un esempio, è possibile ottenere, con una unica fotomascheratura, trincee aventi $1.0\text{ }\mu\text{m}$ di apertura e $10\text{ }\mu\text{m}$ di profondità e trincee aventi $3.0\text{ }\mu\text{m}$ di apertura e $20\text{ }\mu\text{m}$ di profondità.

In particolare, il resistore 4 può essere sostanzialmente modellizzato come comprendente una componente fissa ed una componente variabile, mostrate nella figura 1 con linea sottile sotto forma di due resistori R1 ed R2 collegati in serie. La componente fissa è definita dal volume di materiale semiconduttore racchiuso dalla trincea 30 mentre la componente variabile è definita dal volume "utile" di materiale semiconduttore presente al di sotto della trincea 30, ossia dal volume che non è

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

stato svuotato di portatori maggioritari dalla zona di svuotamento che si estende nello strato epitassiale 12 al di sotto della trincea 30 e che è causata dalla polarizzazione inversa delle giunzioni PN che le regioni sepolte 14, 16 definiscono con il primo strato epitassiale 1.

In questo modo, il resistore 4 secondo l'invenzione presenta un comportamento misto a seconda della tensione di polarizzazione del substrato e la soglia di cambio comportamento può essere controllata controllando la profondità della trincea 30. In particolare, il resistore 4 presenta un comportamento lineare per basse tensioni di polarizzazione del substrato, per le quali cioè la zona di svuotamento non invade la zona di substrato al di sotto della trincea 30 e quindi la resistenza del resistore R2 non varia, ed un comportamento di tipo "JFET" per alte tensioni di substrato, per le quali cioè la zona di svuotamento invade la zona di substrato al di sotto della trincea 30 e quindi la resistenza del resistore R2 varia fino ad assumere un valore massimo quando si verifica il "pinch-off".

Durante la fabbricazione del resistore 4, nella zona di controllo 20 e nella zona di potenza 22 vengono anche realizzati il transistor di controllo 6 ed il transistor di potenza 8.

BERGADANO MIRKO
(iscritto all'Albo n. 843B)



In particolare, come mostrato nelle figure 1 e 2, nella zona di controllo 20 vengono realizzate, all'interno del secondo strato epitassiale 26, in modo noto e quindi non descritto in dettaglio, la regione di collettore 40 di tipo N^+ del transistor di controllo 6, la regione di base 42 di tipo P^+ , la quale risulta separata dalla regione di collettore 40 da una porzione dello strato epitassiale 26 e, all'interno della regione di base 42, la regione di emettitore 46 di tipo N^+ . Nel secondo strato epitassiale 26 viene inoltre realizzata una regione 48 di tipo P^+ , la quale viene formata lungo una zona perimetrale del secondo strato epitassiale 26 e si estende in profondità fino alla prima regione sepolta 14 e forma con essa un'unica regione di tipo P^+ .

Nella zona di potenza 22, vengono invece realizzate, all'interno del secondo strato epitassiale 26, una regione 50 di tipo P^+ identica alla regione 48 e definente la regione di base del transistor di potenza 8 e una regione 52 di tipo N^+ definente la regione di emettitore del transistor di potenza 8 stesso, la cui regione di collettore è invece costituita dal primo strato epitassiale 12.

Di seguito, quindi, con note tecniche di fotolitografia e deposizione si realizzano sulla superficie superiore del corpo di materiale semiconduttore 2 i con-

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

tatti elettrici e gli elettrodi ad essi associati, indicati nel complesso con 54, del resistore 4, del transistor di controllo 6 e del transistor di potenza 8, mentre sulla superficie inferiore del corpo di materiale semiconduttore 2 viene realizzato uno strato di metallizzazione 56 che costituisce sia il secondo elettrodo del resistore 4 che il terminale di collettore del transistor di potenza 8.

Da un esame delle caratteristiche del resistore 4 realizzato secondo la presente invenzione sono evidenti i vantaggi che esso consente di ottenere.

In primo luogo, il resistore 4 è integrabile in una qualsiasi porzione di un dispositivo integrato di potenza, addirittura anche all'interno dell'area di ingombro di un componente elementare, evitando così problemi relativi all'interazione con le strutture di bordo del dispositivo stesso, e per la sua realizzazione non sono richiesti strati aggiuntivi in quanto vengono utilizzati gli strati già presenti nella sequenza di processo del dispositivo di potenza.

Il resistore 4, presentando una struttura completamente verticale, presenta un ingombro estremamente ridotto rispetto a quello dei resistori realizzati secondo l'arte nota in quanto risulta circondato da una trincea la cui larghezza complessiva può variare fra 1 e 3 μm .

BERGADANO MIRKO
Iscritto all'Albo n. 8438j

Il resistore 4 presenta inoltre un solo elettrodo di bassa tensione disposto sulla superficie superiore, mentre l'elettrodo di alta tensione è costituito dal substrato avente il contatto elettrico posto sul retro del corpo di materiale semiconduttore 2.

Inoltre, il resistore 4 secondo la presente invenzione è realizzato della stessa conducibilità di quella del substrato in cui è realizzato, a differenza di quanto avviene nell'arte nota in cui, come inizialmente descritto, la struttura a serpentina viene realizzata di conducibilità apposta a quella del substrato in cui viene realizzata.

Questa ulteriore distinzione rispetto ai resistori realizzati secondo l'arte nota fa sì che nel resistore secondo la presente invenzione non sia più presente una zona di svuotamento dovuta alla polarizzazione inversa della giunzione PN che esso forma col substrato, e ciò determina una notevole riduzione degli effetti parassiti ad esso associati (e generalmente modellizzabili con una capacità parassita) che a sua volta fornisce al resistore un comportamento ohmico reale che si avvicina maggiormente ad un comportamento ohmico ideale rispetto a quanto avviene nei resistori realizzati secondo l'arte nota.

Secondo un ulteriore aspetto della presente inven-

BERGADANO MIRKO
[iscritto all' Albo n. 8438]

zione, nelle porzioni di materiale semiconduttore circondate dalla trincea 30 è possibile anche realizzare degli altri componenti elementari con struttura verticale disposti in serie al resistore 4, i quali consentono di ottenere modalità di funzionamento più complesse.

Alcuni esempi sono mostrati nelle figure 3-5. In particolare, nella figura 3 è mostrato un dispositivo integrato, indicato con 1', identico nelle sue parti essenziali al dispositivo integrato 1 e differente da questo unicamente per il fatto di non comprendere la regione 36 a bassa resistività realizzata nella zona intermedia 24 sulla superficie superiore del secondo strato epitassiale 26.

In questo modo, la giunzione metallo-semiconduttore definita da un lato dai contatti metallici e dall'altro dal secondo strato epitassiale 26 realizza un diodo Schottky, mostrato con linea sottile ed indicato con DS, collegato in serie ai resistori R1 ed R2.

Nella figura 4 è invece mostrato un dispositivo integrato, indicato con 1'', identico nelle sue parti essenziali al dispositivo integrato 1 e differente da questo unicamente per il fatto che la regione a bassa resistività realizzata nella zona intermedia 24 sulla superficie superiore del secondo strato epitassiale 26, ed indicata qui con 36'', presenta una conduttività opposta

BERGADANO MIRKO
[iscritto all' Albo n. 8438]



a quella del secondo strato epitassiale 26, in particolare una conduttività di tipo P^+ .

In questo modo, la regione 36" a bassa resistività ed il secondo strato epitassiale 26 realizzano un diodo Zener, mostrato con linea sottile ed indicato con DZ, collegato in serie ai resistori R1 ed R2 e determinante, con il suo breakdown caratteristico, la soglia di intervento dei resistori R1 ed R2 stessi.

Nella figura 5 è infine mostrato un dispositivo integrato, indicato con 1"', identico nelle sue parti essenziali al dispositivo integrato 1 e differente da questo per il fatto che:

- il materiale riempitivo della trincea 30, indicato qui con 34"', è di tipo conduttivo, ad esempio polisilicio drogato;

- al posto delle due regioni sepolte 14, 16 vi è una unica regione sepolta continua, indicata in figura 5 con 15, la quale viene realizzata mediante una unica impiantazione ionica e diffusione e viene poi interrotta dalla trincea 30, per cui una sua porzione risulta circondata dalla trincea 30; e

- nella porzione del secondo strato epitassiale circondata dalla trincea 30 viene realizzata una regione, indicata con 27, avente una conducibilità opposta a quella del primo strato epitassiale 12 e della regione

36 a bassa resistività, nella fattispecie di tipo P⁺, ed occupante completamente il volume compreso fra la regione 36 stessa e la regione sepolta 15.

In questo modo, la regione 36, la regione 27, lo strato di ossido 32, il materiale riempitivo 34 e la regione sepolta 15 definiscono una coppia di transistori MOSFET, mostrati in figura 5 con linea sottile ed indicati con M1 ed M2, collegati nel modo illustrato nella figura 5 e la cui regione di canale è formata dalla regione 27 stessa.

I transistori MOSFET M1, M2 permettono, mediante la loro accensione, di controllare non solo la soglia di intervento del resistore 4 ma anche il flusso di corrente che lo attraversa.

Risulta infine chiaro che al processo di fabbricazione qui descritto ed illustrato possono essere apportate modifiche e varianti senza per questo uscire dall'ambito protettivo della presente invenzione.

Ad esempio, per quei dispositivi in cui non è richiesta la fabbricazione del transistor di controllo 6 ed il transistor di potenza, le regioni sepolte 14, 16 ed il secondo strato epitassiale 26 possono essere omessi e quindi la trincea 30 può essere direttamente realizzata nel primo strato epitassiale 12.

Inoltre, il substrato 10 ed il primo strato epitass-

BERGADANO MIRKO
(iscritto all' Albo n. 8438)

siale 12 possono essere sostituiti con un unico substrato del tipo "float zone" avente un profilo di concentrazione decrescente a partire dalla superficie inferiore e verso la superficie superiore del substrato, sul quale può o direttamente essere realizzato il resistore secondo l'invenzione oppure essere cresciuto il secondo strato epitassiale 26.

Inoltre, nel dispositivo integrato 1'' secondo la terza forma realizzativa della presente invenzione, la regione 27 avente conducibilità P^+ potrebbe anche essere omessa e quindi il canale dei transistori MOSFET M1 ed M2 essere formato dalla porzione del secondo strato epitassiale 26, così come la regione 36 a bassa resistività in modo da realizzare un diodo Schottky.

BERGADANO MIRKO
(iscritto all' Albo n. 843B)

R I V E N D I C A Z I O N I

1. Dispositivo integrato (1) comprendente un resistore ad alta tensione (4) integrato in un corpo di materiale semiconduttore (2), caratterizzato dal fatto che detto resistore ad alta tensione (4) presenta una struttura a flusso di corrente verticale.

2. Dispositivo integrato secondo la rivendicazione 1, caratterizzato dal fatto che detto resistore ad alta tensione (4) presenta una conducibilità dello stesso tipo di quella di detto corpo di materiale semiconduttore (2).

3. Dispositivo integrato secondo la rivendicazione 1 o 2, caratterizzato dal fatto che detto resistore ad alta tensione (4) è formato da una porzione di detto corpo di materiale semiconduttore (2) estendentesi fra una prima ed una seconda faccia del corpo di materiale semiconduttore (2) stesso e delimitata almeno parzialmente da una regione di isolamento (30, 32, 34) estendentesi da detta prima verso detta seconda faccia di detto corpo di materiale semiconduttore (2).

4. Dispositivo integrato secondo la rivendicazione 3, caratterizzato dal fatto che detta regione di isolamento (30, 32, 34) presenta in pianta forma chiusa.

5. Dispositivo integrato secondo la rivendicazione 3 o 4, caratterizzato dal fatto che detta regione di

BERGADANO MIRKO
(iscritto all' Albo n. 8438)



isolamento (30, 32, 34) è formata da materiale isolante.

6. Dispositivo integrato secondo una qualsiasi delle rivendicazioni da 3 a 5, caratterizzato dal fatto di comprendere una prima ed una seconda regione (14, 16, 48, 50) aventi una conducibilità opposta rispetto a quella di detto corpo di materiale semiconduttore (2) e disposte da parti opposte di detta regione di isolamento (30, 32, 34).

7. Dispositivo integrato secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto di comprendere primi e secondi dispositivi elettronici realizzati in detto corpo di materiale semiconduttore (2) da parti opposte di detta regione di isolamento (30, 32, 34).

8. Processo di fabbricazione di un dispositivo integrato (1) comprendente un resistore ad alta tensione (4), caratterizzato dal fatto di comprendere le fasi di:

- formare un corpo di materiale semiconduttore (2);
- formare, in un detto corpo di materiale semiconduttore (2), un resistore ad alta tensione (4) avente una struttura a flusso di corrente verticale.

9. Processo di fabbricazione secondo la rivendicazione 8, caratterizzato dal fatto che detta fase di formare un resistore ad alta tensione (4) comprende la fase di:

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

- formare, in un detto corpo di materiale semiconduttore (2), una regione di isolamento (30, 32, 34) estendentesi da una prima verso una seconda faccia del corpo di materiale semiconduttore (2) stesso e delimitante almeno parzialmente una porzione di detto corpo di materiale semiconduttore (2).

10. Processo di fabbricazione secondo la rivendicazione 9, caratterizzato dal fatto che detta regione di isolamento (30, 32, 34) presenta in pianta forma chiusa.

11. Processo di fabbricazione secondo la rivendicazione 9 o 10, caratterizzato dal fatto che detta fase di formare una regione di isolamento (30, 32, 34) comprende le fasi di:

- formare una trincea (30) presentante in pianta forma chiusa; e

- riempire detta trincea (30) con un materiale isolante (34).

12. Processo di fabbricazione secondo la rivendicazione 11, caratterizzato dal fatto che detta fase di riempire detta trincea (30) comprende la fase di formare uno strato di ossido (32) riempiente completamente detta trincea (30).

13. Processo di fabbricazione secondo la rivendicazione 11, caratterizzato dal fatto che detta fase di riempire detta trincea (30) comprende le fasi di:

BERGADANO MIRKO
[iscritto all'Albo n. 843B]

- formare uno strato di ossido (32) ricoprente pareti laterali ed una parete di fondo di detta trincea (30) e riempiente parzialmente la trincea (30) stessa; e
- riempire la restante parte di detta trincea (30) con un materiale isolante (34).

14. Processo di fabbricazione secondo una qualsiasi delle rivendicazioni da 9 a 13, caratterizzato dal fatto di comprendere inoltre la fase di:

- formare, in detto corpo di materiale semiconduttore (2), una prima ed una seconda regione sepolta (14, 16) spaziate fra loro ed aventi un tipo di conducibilità opposto a quello del corpo di materiale semiconduttore (2) stesso;

e dal fatto che detta regione di isolamento (30, 32, 34) è disposta fra dette prima e seconda regione sepolta (14, 16) e si estende in profondità oltre la prima e la seconda regione sepolta (14, 16) stesse.

15. Processo di fabbricazione secondo una qualsiasi delle rivendicazioni da 9 a 14, caratterizzato dal fatto di comprendere inoltre la fase di:

- formare, nella porzione di detto corpo di materiale semiconduttore (2) circondata da detta regione di isolamento (30, 32, 34) ed in corrispondenza di detta prima faccia, una regione (36) a bassa resistività avente lo stesso tipo di conducibilità di detto corpo di ma-

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

teriale semiconduttore (2).

16. Processo di fabbricazione secondo una qualsiasi delle rivendicazioni da 9 a 14, caratterizzato dal fatto di comprendere inoltre la fase di:

- formare, nella porzione di detto corpo di materiale semiconduttore (2) circondata da detta regione di isolamento (30, 32, 34) ed in corrispondenza di detta prima faccia, una regione (36'') a bassa resistività avente una conducibilità di tipo opposto a quello di detto corpo di materiale semiconduttore (2).

17. Processo di fabbricazione di un dispositivo integrato (1) comprendente un resistore ad alta tensione (4), caratterizzato dal fatto di comprendere le fasi di:

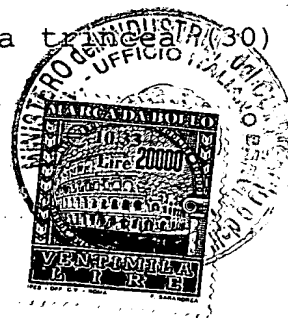
- formare un corpo di materiale semiconduttore (2);
- formare, in detto corpo di materiale semiconduttore (2), una regione sepolta (15) avente una conducibilità opposta a quella del corpo di materiale semiconduttore (2) stesso;

- formare una trincea (30) presentante in pianta forma chiusa;

- formare uno strato di ossido (32) ricoprente pareti laterali ed una parete di fondo di detta trincea (30); e

- riempire la restante parte di detta trincea (30) con un materiale conduttore (34).

BERGADANO MIRKO
iscritto all' Albo n. 84387



18. Processo di fabbricazione secondo la rivendicazione 17, caratterizzato dal fatto di comprendere inoltre la fase di:

- formare, nella porzione di detto corpo di materiale semiconduttore (2) circondata da detta trincea (30) ed in corrispondenza di detta prima faccia, una prima regione (36) a bassa resistività avente lo stesso tipo di conducibilità di detto corpo di materiale semiconduttore (2).

19. Processo di fabbricazione secondo la rivendicazione 17 o 18, caratterizzato dal fatto di comprendere inoltre la fase di:

- formare, nella porzione di detto corpo di materiale semiconduttore (2) circondata da detta trincea (30), una seconda regione (27) avente lo stesso tipo di conducibilità di detta regione sepolta (15).

20. Dispositivo integrato comprendente un resistore ad alta tensione e relativo processo di fabbricazione, sostanzialmente come descritti con riferimento ai disegni allegati.

p. i.: STMICROELECTRONICS S.R.L.

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

BERGADANO MIRKO
(iscritto all'Albo n. 8438)



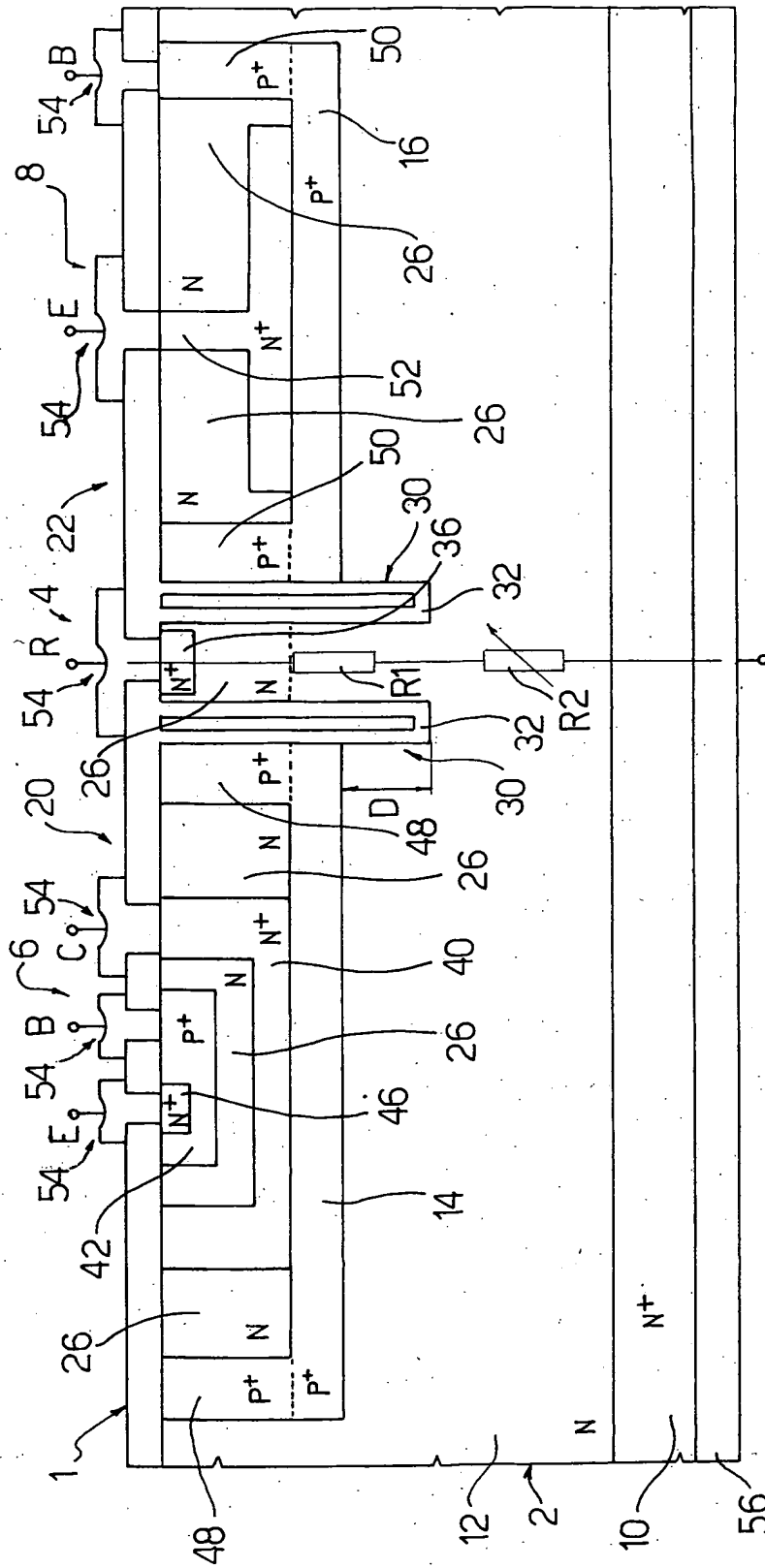


Fig. 1

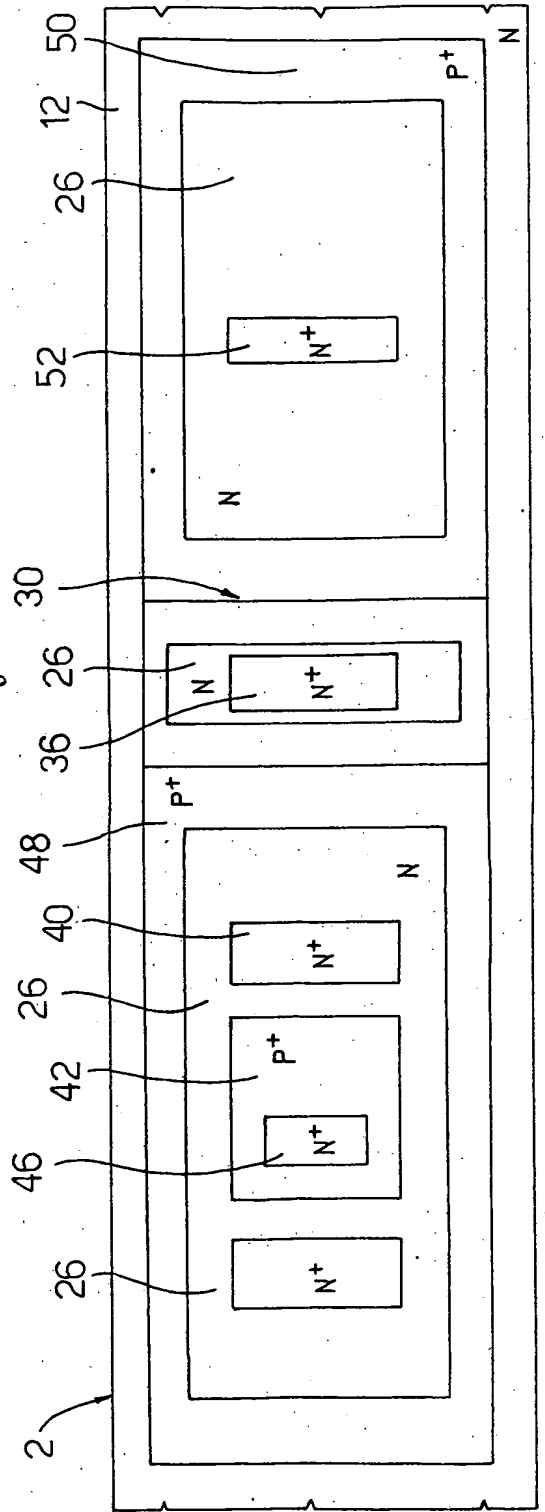


Fig. 2

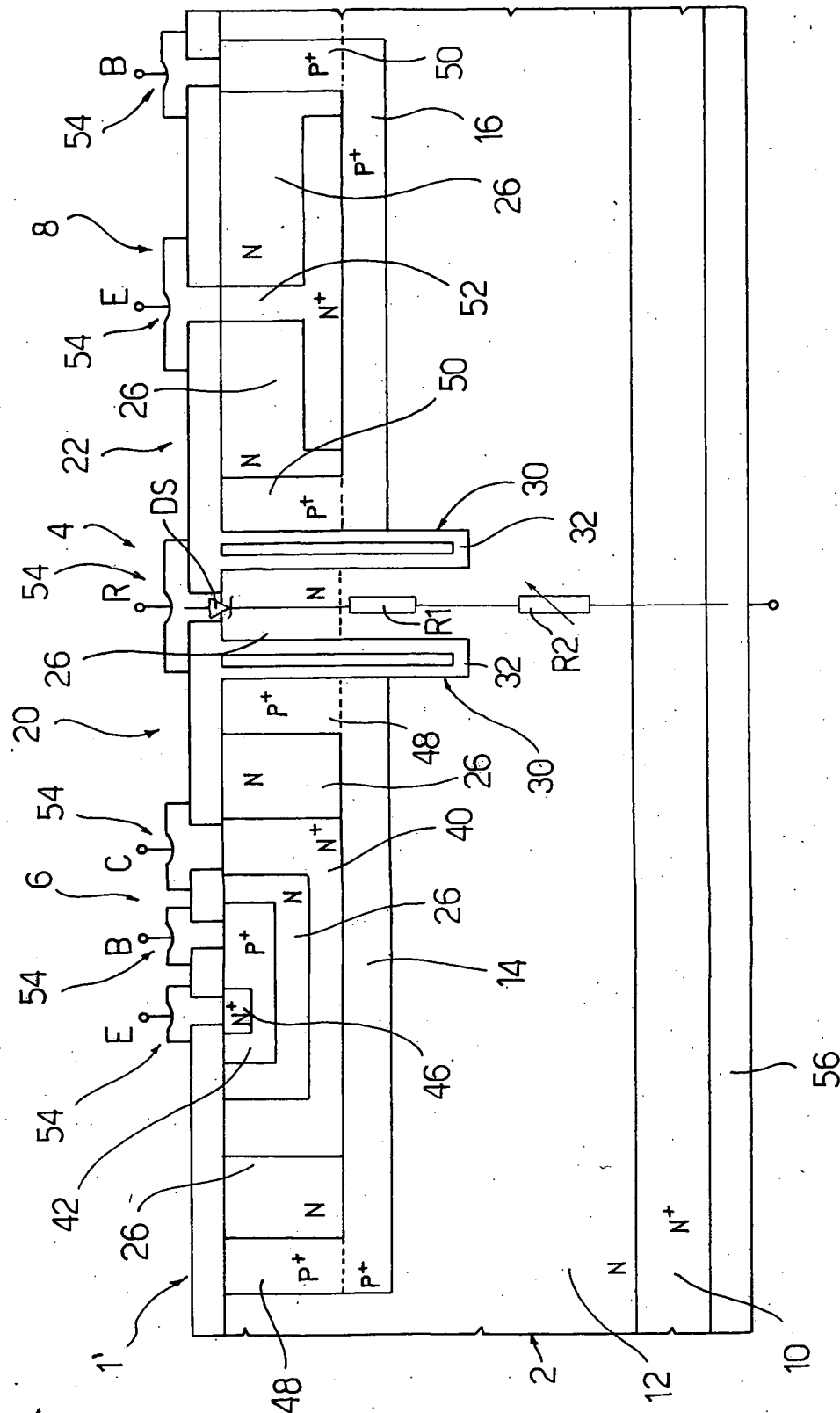


Fig.3



99A 001086

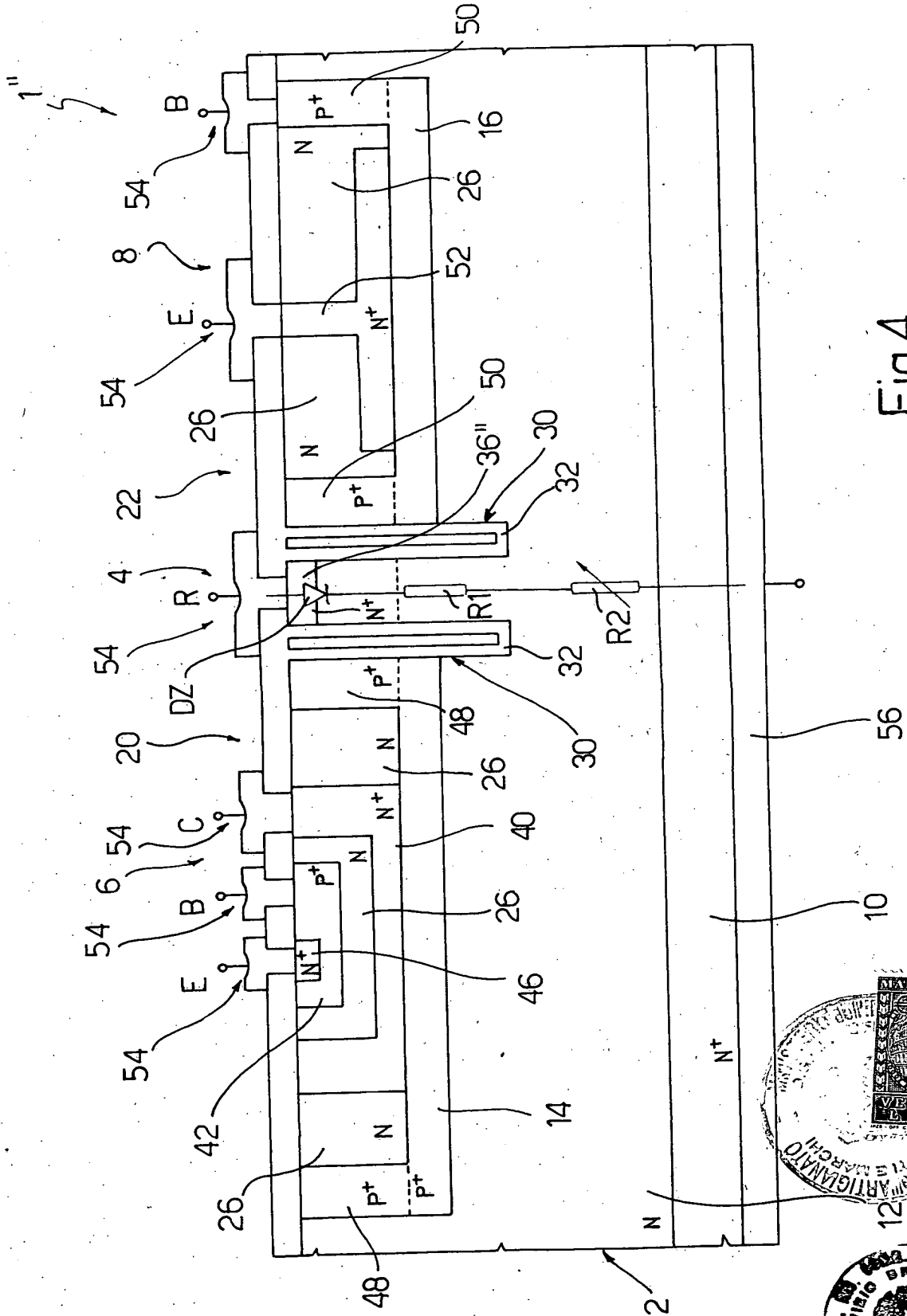
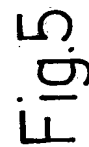


Fig.4

p.i.: STMICROELECTRONICS S.R.L.

BERGADANO MIRKO
(iscritto all'Albo n. 843B)





BERGADAMO MARCO
(Iscritto all'Albo n. 843BT)

